



Zeitdiskrete analoge Signalverarbeitung (3/3)

Sigma-Delta-Wandler und ihre Macken

Im letzten «Fokus Mikroelektronik» stellten wir das Prinzip der Sigma-Delta-Wandler vor: Mit einer falschen (!) Annahme lässt sich in diesem Fachgebiet die ganze Theorie entwickeln. Die falsche Annahme lässt zwei Eigenheiten der $\Sigma \Delta$ -Wandler als von der Theorie übersehene Dreck-Effekte erscheinen: Erstens können sie Töne produzieren, wenn am Eingang bloss ein DC-Wert liegt, und zweitens hängt ihre Stabilität von der Signalstärke am Eingang ab.

» Prof. Dr. Hanspeter Schmid und Dr. Alex Huber, Institut für Mikroelektronik, FHNW

Im letzten Fokus Mikroelektronik (Polyscope 1-2/12) haben wir den $\Sigma \Delta$ ADC in Bild 1 vorgestellt. Mit der Annahme, dass $x_{out} = A \cdot x_2 + e$ ist – wobei der Quantisierungsfehler e des Komparators im Wesentlichen weisses Rauschen ist und die Verstärkung des Komparators $A \approx 1$ ist, kamen wir auf die zwei Übertragungsfunktionen

$$H_{signal} = \frac{x_{out}}{x_2} = \frac{H(z)}{1 + H(z)}$$

$$H_{noise} = \frac{x_{out}}{e} = \frac{1}{1 + H(z)}$$

und gaben als einfachstes Beispiel $H(z) = \frac{z^{-1}}{1-z^{-1}}$ an, einen einfachen Integrator. Damit wurden $H_{signal} = z^{-1}$ und $H_{noise} = 1 - z^{-1}$, das heisst: das Signal wird nur um einen Taktzyklus verzögert, das Quantisierungsrauschen e wird aber zeitdiskret differenziert.

Die Annahme $x_{out} = A \cdot x_2 + e$ ist natürlich falsch, denn der Fehler, den ein Komparator macht, ist weder weiss noch gleich verteilt, noch unabhängig vom Signal. Auch $A \approx 1$ gilt nicht für alle denkbaren $H(z)$. Trotz dieser Fehlannahmen stimmt die Theorie

erstaunlich gut mit der Realität überein, aber beide Fehlannahmen haben Konsequenzen, die den $\Sigma \Delta$ ADC grundsätzlich anders funktionieren lassen als herkömmliche Feedbacksysteme.

$\Sigma \Delta$ ADC können nicht stillhalten

Die Abhängigkeit des Quantisierungsfehlers e vom Signal äussert sich sehr deutlich, wenn man dem $\Sigma \Delta$ ADC einen konstanten Eingangswert gibt. Die folgende Grafik zeigt, wie das für eine Konstante 1/3 am Eingang aussieht, wenn zu Beginn der Integrator den Wert 1/3 gespeichert hat. Im Falle des einfachen Integrators mit $H(z) = z^{-1}/(1-z^{-1})$ heisst das: in jedem Schritt wird der Wert von x_1 aus dem vorigen Schritt zu x_2 addiert. Als Beispiel ist $x_2 = -\frac{2}{3} + \frac{1}{3} = -\frac{1}{3}$ in der Grafik orange markiert.

Sample	0	1	2	3
x_{in}	1/3	1/3	1/3	1/3
x_1		-2/3	4/3	-2/3
x_2	1/3	-1/3	1	1/3
x_3	1	-1	1	1

Es ist gut sichtbar, dass man beim Sample 3 denselben Zustand erreicht wie beim Sample 0. Der $\Sigma \Delta$ ADC erzeugt also die periodische Folge 1, -1, 1, 1, -1, 1, 1, -1, 1 ..., obwohl er eine Konstante abbilden sollte. Das ist ein sogenannter *Idle Tone*.

Nun kann man argumentieren, dass das nicht weiter schlimm ist: Wenn wir den $\Sigma \Delta$ ADC mit 64-fachem Oversampling betreiben, dann fällt ein Idle Tone bei einem Drittel der Abtastfrequenz im nachfolgenden Tiefpassfilter (der letzte Block in Bild 1) raus. Stimmt, aber der Offset könnte auch 1/1000 sein, und dann läge der Idle Tone im Signalbereich. Ist der $\Sigma \Delta$ ADC ein Audio-ADC, dann ist der Idle Tone als Pfeifgeräusch hörbar! Da die Frequenz direkt vom Offset abhängt, kann man sogar an der Tonhöhe hören, wie gross die Offsetspannung im System ist.

Bei einem $\Sigma \Delta$ ADC höherer Ordnung gibt es – je nachdem auf welchem Pfad ein Offset in die Schaltung reinkommt – Idle Tones oder zusätzliches Rauschen in einem bestimmten Frequenzband (Pattern Noise).

Erstaunlicherweise verschwinden solche Idle Tones gerade dann, wenn das Eingangssignal des $\Sigma \Delta$ ADC verrauscht ist. In einigen Systemen fügt man deshalb *absichtlich* Rauschen hinzu, um Idle Tones und Pattern Noise zu vermindern. Dieses Rauschen lässt sich entweder digital erzeugen, D/A-wandeln und dem analogen Signal hinzufügen, sodass man es später aus dem digitalen Signal wieder abziehen kann, oder man nimmt analoges Rauschen ausserhalb des Signalbandes.

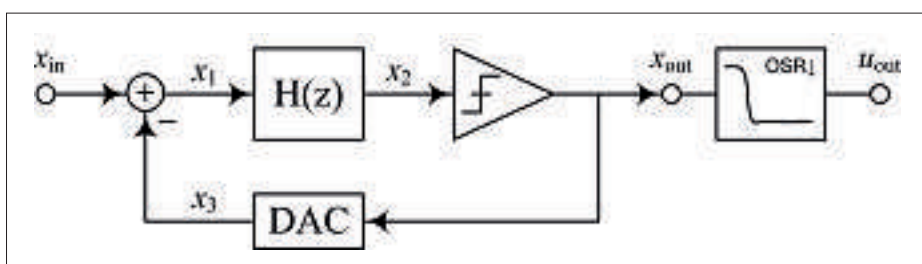


Bild 1: Sigma-Delta-Wandler

Σ ΔADC werden bei starken Signalen instabil

Für den einfachen Integrator $H(z) = z^{-1}/(1 - z^{-1})$ gilt tatsächlich $A = 1$ in $x_{out} = A \cdot x_2 + e$. Man kann das durch Simulation oder Messung bestätigen, indem man x_2 und x_{out} misst und dann den Gain als $A = Cov\{x_2, x_{out}\}/Var\{x_2\}$ aus den simulierten Daten ermittelt.

Aber was geschieht, wenn zum Beispiel $H(z) = 2 \cdot z^{-1}/(1 - z^{-1})$ ist? Die erstaunliche Antwort: Am Ausgang ändert dann nichts. Nach dem Integrator kommt ein Komparator, der nur das Vorzeichen von x_2 berücksichtigt, und dieses ist unabhängig vom neuen Faktor 2. Wenn aber das lineare Modell noch dieselbe Closed-Loop-Funktion hat, dann muss jetzt $A = \frac{1}{2}$ sein. Die linearisierte Verstärkung des Komparators ist also vom gewählten $H(z)$ abhängig.

Und nicht nur das: sie ist sogar von der Signalstatistik abhängig! Wenn die Amplitude des Eingangssignals zunimmt, dann nimmt ab einem gewissen Punkt die Verstärkung des Komparators ab, die Phasenmarge des Feedbackkreises nimmt dadurch auch ab, und der Σ ΔADC wird auf eine chaotische Art instabil, wie in Bild 2 (rote Kurve) für einen Σ ΔADC zweiter Ordnung zu sehen ist. Generell gilt: Je höher die Ordnung des Σ ΔADC, desto unvorhersagbarer kann er auf verschiedene Signale reagieren.

Einen solchen Σ ΔADC muss man vor zu grossen Eingängen schützen. Gelingt dies nicht, dann braucht es eine komplexere Schaltung: Entweder verwendet man anstelle des Komparators einen 3-Bit-ADC, sodass A über einen breiteren Eingangsbereich konstant bleibt – dann braucht es aber auch einen 3-Bit-DAC im Loop und entsprechend viel Schaltungsaufwand –, oder man vermeidet die Probleme, indem man einen Σ ΔADC höherer Ordnung aus zwei Σ ΔADC-Stufen kleinerer Ordnung kombiniert.

Mit Switched-Capacitor-Schaltungen ist es sehr einfach, eine analoge Subtraktion zu machen. Darauf baut das MASH-Prinzip auf: Da sowohl der Eingang des Komparators wie auch der DA-gewandelte Ausgang des Komparators analog vorliegen, kann man durch eine einfache Subtraktion den Quantisierungsfehler e_1 des oberen Σ ΔADC in Bild 3 analog berechnen. Dieser Quantisierungsfehler e_1 lässt sich mit einem zweiten Σ ΔADC wandeln und dann digital subtrahieren. Der zweite Σ ΔADC macht zwar auch wieder einen Quan-

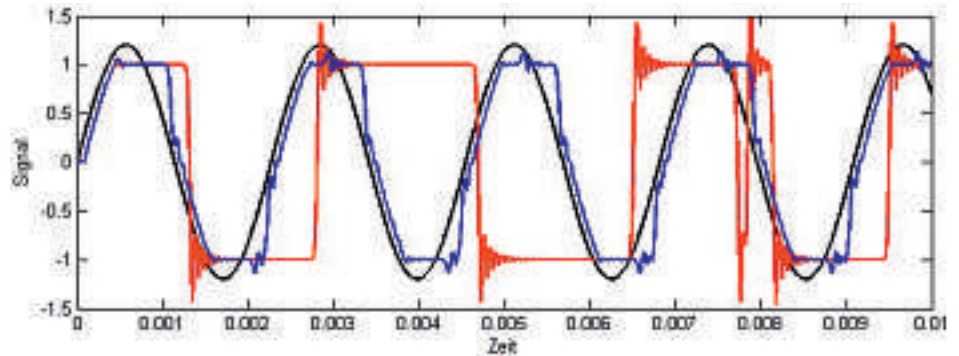
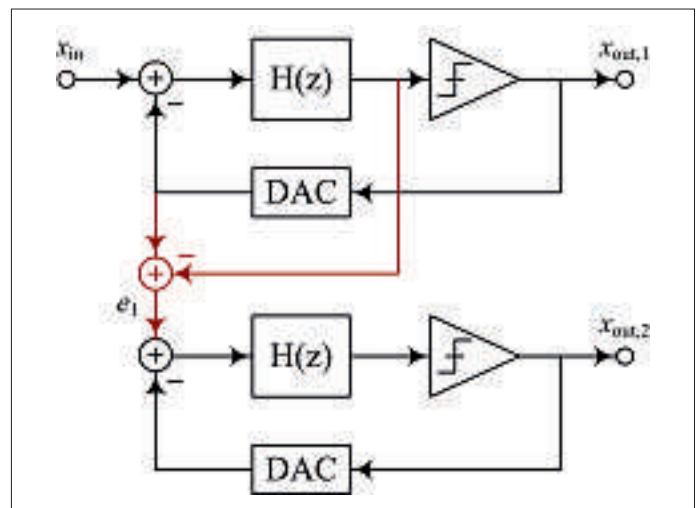


Bild 2: Wie ein Σ ΔADC zweiter Ordnung durch Übersteuerung instabil wird. Schwarz: Eingangssignal. Rot: konventioneller Σ ΔADC. Blau: MASH-Σ ΔADC

Bild 3: Zweistufiger MASH-Σ ΔADC



tisierungsfehler, aber da dieser zweite Fehler nur ein Fehler bei der Berechnung des ersten Fehlers ist, fällt er viel weniger ins Gewicht. So hat ein aus zwei Σ ΔADC erster Ordnung bestehender MASH-Σ ΔADC zweite Ordnung. Er ist aber so stabil wie ein Σ ΔADC erster Ordnung, wie in Bild 2 sehr schön zu sehen ist.

Der Schlüssel im Schnee

Winter, 15 cm Schnee, Nacht. Ein Mann gräbt unter einer Strassenlaterne den Schnee um, als ein Polizist vorbeikommt. Er habe seine Schlüssel verloren, sagt er, und der Polizist hilft suchen. Gemeinsam schaufeln sie den ganzen Schnee weg, bis der Polizist frustriert fragt: «Sind Sie sicher, dass Sie die Schlüssel hier verloren haben?» «Nein», sagt der Mann, «ich habe sie dort drüben verloren.» «Warum suchen Sie dann nicht dort?» «Dort ist es dunkel, aber hier hat es Licht!»

Und genau auf diesem Prinzip beruht die Annahme $x_{out} = x_2 + e$ in der Theorie der Σ ΔADC: Mit dieser Annahme kann man gut

rechnen. Jede realistischere Annahme macht das Rechnen aber fast unmöglich.

Natürlich reicht die Theorie dann nur gerade so weit, dass man mit einem ersten Wurf weit genug kommt, um sinnvoll simulieren zu können. Und trotzdem sind Σ ΔADC heute aus der Elektronik nicht mehr wegzudenken.

In den nächsten zwei Fokus Mikroelektronik zeigen wir, dass die Welt im Allgemeinen und die Elektronik im Speziellen rosa ist, und wie man damit umgehen kann. Danach werden wir auf Σ Δ zurückkommen mit einem Artikel über Lautsprechertreiber in Mobiltelefonen – diese enthalten raffinierte Σ ΔDAC – und einem Artikel über ein ganzes Beschleunigungssensorsystem. <<

Infoservice

Hanspeter Schmid, FHNW/IME
Steinackerstrasse 1, 5210 Windisch
Tel. 056 462 46 25
hanspeter.schmid@fhnw.ch
www.fhnw.ch/ime